

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-061477

(43)Date of publication of application : 04.03.1994

(51)Int.Cl.

H01L 29/74
H01L 21/02

(21)Application number : 04-211892

(71)Applicant : MEIDENSHA CORP

(22)Date of filing : 10.08.1992

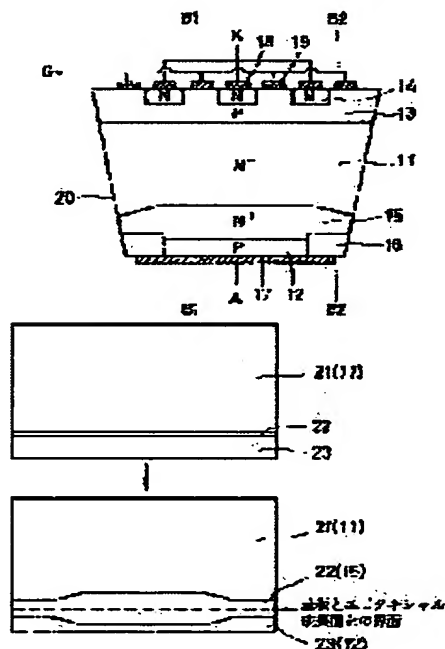
(72)Inventor : HANAKURA MITSURU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To adjust the width of a base layer and that of a buffer layer and at the same time provide a short-circuiting layer for short-circuiting an anode emitter for achieving a high breakdown voltage in a bevel-machined semiconductor device where the sectional area increases from a high-resistance semiconductor layer side toward a low-resistance semiconductor layer side.

CONSTITUTION: A high-concentration N-type impurity concentration is diffused to a low-impurity concentration N-type silicon wafer 21 extremely thinly for forming a diffusion layer 22 and at the same time the surface of a specific region from the outer-periphery part of the diffusion layer 22 toward the inner part is etched extremely thinly and then an epitaxial growth layer 23 is formed on the diffusion layer 22 in a GTO (gate turn-off thyristor). Then, the diffusion layer 22 is extended by a long heat treatment for thinning the above specific region and achieving a low concentration. After that, an N-type emitter layer 14, a P-type base layer 15, a P-type emitter layer 12, and an N-type short-circuiting layer 16 are formed by selective diffusion. A positive bevel 20 whose sectional area is changed is formed on the semiconductor layer which is formed in this manner, thus obtaining the GTO whose electric field strength characteristics are improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-61477

(43)公開日 平成6年(1994)3月4日

(51)IntCl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H01L 29/74	C			
	F			
21/02	B			

審査請求 未請求 請求項の数2(全4頁)

(21)出願番号 特願平4-211892

(22)出願日 平成4年(1992)8月10日

(71)出願人 000006105

株式会社明電舎

東京都品川区大崎2丁目1番17号

(72)発明者 花倉 満

東京都品川区大崎2丁目1番17号 株式会
社明電舎内

(74)代理人 弁理士 志賀 富士弥 (外1名)

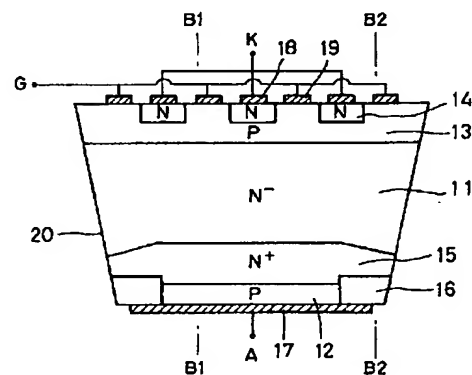
(54)【発明の名称】 半導体素子および半導体素子の製造方法

(57)【要約】

【目的】 ベベル加工を施した半導体素子の表面の電界集中を緩和して高耐圧用半導体素子を得る。

【構成】 ベベル加工20に加えてベース層11の幅とバッファ層15の調整するとともにアノードエミッタを短絡する短絡層16を設ける。

実施例



11...N⁻型ベース層
12...P型エミッタ層
13...P型ベース層
14...N型エミッタ層
15...N型バッファ層
16...N型ショート層
17~19...金属層
20...正ベベル

【特許請求の範囲】

【請求項1】 不純物ドーブ量の少ない高抵抗半導体層側から不純物ドーブ量の多い低抵抗半導体層側に向って断面積が増大するようにベベルが形成された半導体素子において、素子端面およびその端面近傍の領域のベース層の幅を他の領域よりも広くし、その分だけ上記領域のバッファ層の幅を狭く形成しかつ当該領域以外の領域よりも低濃度にし、さらに上記領域のアノードエミッタを短絡する短絡層を設けて構成したことを特徴とする半導体素子。

【請求項2】 シリコンウエハに該シリコンウエハよりも高濃度にして同極性の拡散層を形成し、この拡散層の外周部から内方に向う所定領域の表面をエッチングするとともに、上記拡散層の上にエピタキシャル成長層を形成した後熱処理して上記拡散層を引き伸ばすことを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体素子およびその製造方法に係り、特に高耐圧用の半導体素子の構造および製造方法に関するものである。

【0002】

【従来の技術】 高耐圧ダイオードやゲートターンオフサイリスタなどの高耐圧素子は、主PN接合の表面電界を弱めてやらないと、PN接合のもつ本来の耐圧よりも低い電圧で電子なだれ降伏が起こって高耐圧素子を作ることができない。このため、ベベルと呼ばれる接合の露出部を含む表面に傾斜をつけて加工する方法が一般に用いられている。

【0003】 図5～図7は上記方法を示すもので、これらの図において1はN⁻層（Nベース層）、2はP層、3はN⁺層（N⁺バッファ層）、4は空乏層である。すなわち、上記方法には、図5に示すように不純物ドーブ量の少ない高抵抗側から、不純物ドーブ量の多い低抵抗側に向って断面積が増大する正ベベル5と、図6に示すように、不純物ドーブ量の多い低抵抗側から不純物ドーブ量の少ない高抵抗側に向って断面積が増大する負ベベル6がある。これらの方法は表面電界を弱める効果があり、特に正ベベル法ではPN接合の理論耐圧を実現する事も可能である。

【0004】 ところが、近年素子の定常損失、すなわちオン電圧を減少させるために低抵抗側のN層を比較的低濃度のN⁻層と比較的高濃度のN⁺層とから形成するPN⁻N⁺（又はP⁺N⁻N⁺、PIN、PNN）構造が用いられている。これは空乏層ののびをN⁺層で止めてやることにより、N⁻N⁺の幅を狭くしてオン電圧を減少させている。

【0005】

【発明が解決しようとする課題】 図7に示すPN⁻N⁺構造では電圧を印加した場合、電界強度分布がPN構造と

異なるため、上記の正ベベルおよび負ベベルだけでは表面電界強度はあまり弱められず高耐圧を実現できない。

【0006】 たとえば正ベベルでは表面電界強度分布は図8のようになり、N⁺層に電界が集中してしまう。この集中のために、正ベベルだけでは高耐圧を実現できない。

【0007】 本発明は上述の問題点に鑑みてなされたもので、その目的とするところはベベル加工を施した半導体素子の表面の電界集中を緩和して高耐圧用半導体素子を提供することである。

【0008】

【課題を解決するための手段】 本発明は、上記目的を達成するために、不純物ドーブ量の少ない高抵抗半導体側から不純物ドーブ量の多い低抵抗半導体層側に向って断面積が増大するようにベベル加工が施された半導体素子において、素子端面およびその端面近傍の領域のベース層の幅を他の領域よりも広くし、その分だけ上記領域のバッファ層の幅を狭く形成しかつ当該領域以外の領域よりも低濃度にし、さらに上記領域のアノードエミッタを短絡する短絡層を設ける。

【0009】

【作用】 ベース層の幅の広い部分とバッファ層の幅の狭い部分によって空乏層領域が制御され、電界強度がなめらかになり、これにより電界集中が緩和される。

【0010】

【実施例】 以下に本発明の実施例を図1～図4を参照しながら説明する。

【0011】 図1は本発明の実施例による半導体素子であるゲートターンオフサイリスタ（以下GTOと略記する）であって、11はN⁻型ベース層、12はP型エミッタ層、13はP型ベース層、14はN型エミッタ層、15はN⁻型ベース層11とP型エミッタ層12間に形成されたN型バッファ層、16はN型ショート層である。17はP型エミッタ層12とN型ショート層16の表面に設けられた金属層でアノード電極Aを形成し、18はN型エミッタ層の表面に設けられた金属層でカソード電極Kを形成し、19はP型ベース層13の表面に設けられた金属層であってゲート電極Gを形成する。

【0012】 図1に示すGTOは図2に示すような工程によって作られる。すなわち、図2の工程（1）に示すように低不純物濃度のN型シリコンウエハ21に高濃度のN型不純物を極く薄く拡散して拡散層22を形成するとともに、拡散層22の外周部から内方に向う所定領域Rの表面を極く薄くエッチングする。このエッチングは、NH₄OH-H₂O₂系のエンチャントを用いて、温度と時間により正確に制御できる。次に、図2の工程（2）に示すように、拡散層22の上にエピタキシャル成長層23を形成する。このエピタキシャル成長層23は低濃度であればP型、N型のいずれでもよい。さらに、工程（3）において高温長時間の熱処理（drive

e-in 拡散)により拡散層22を引き伸ばす。これによって引き伸ばされた拡散層22はR領域で厚みが薄く低濃度となる。これは拡散層22の不純物総量がエッチングによりR領域で少なくなっていることにより発生する効果である。最後に、工程(4)に示すように、N型エミッタ層14、P型ベース層15、P型エミッタ層12、N型ショート層16を公知の選択的拡散により形成し、GTOの半導体層が得られる。

【0013】以上のようにして作られたGTOの半導体層には図1に示すように正ベベル20が形成されており、図3に示すような濃度分布となっており、図4に示すような電界強度特性が得られる。ここで、図3において実線で示した不純物濃度曲線は図1のB1-B1線断面の濃度分布であり、点線で示した曲線はB2-B2断面の濃度分布である。また、図4において実線で示した曲線は本発明によって得られた素子に順電圧を印加したときのベベル面の電界分布であり、点線で示した曲線は従来のものの電界分布を示すものである。図4から明らかなように、本発明のものでは、従来のものに比べてNバッファ層での電界集中が大幅に緩和されている。このようにして、従来PN⁻N⁺構造を持つ素子において正ベベルでは設計耐圧の50~70%耐圧しかできなかったものが、本発明の構造により正ベベル設計耐圧の80~90%の耐圧が達成できるようになった。

【0014】なお、上述の実施例ではGTOについて述べたが、本発明はGTOに限らずPN⁻N⁺構造を持つ高耐圧ダイオードやSIサイリスタおよびIGBT等のバイポーラ素子にも容易に適用できることは明らかである。

*30

*【0015】

【発明の効果】本発明は、上述の如くであって、ベベル加工に加えて、ベース層の幅とバッファ層の幅を調整するとともに、アノードエミッタを短絡する短絡層を設けたから、電界集中を緩和した高耐圧用の半導体素子を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施例による半導体素子であるゲートターンオフサイリスタの正断面図。

10 【図2】本発明の実施例による半導体素子の製造工程図。

【図3】図1の半導体素子の濃度分布図。

【図4】図1の半導体素子の電界強度分布図。

【図5】一般の負ベベルを施した半導体素子の部分断面図。

【図6】一般の負ベベルを施した半導体素子の部分断面図。

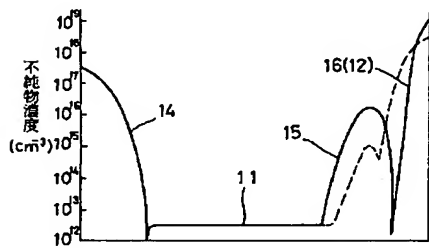
【図7】一般の正ベベルを施した半導体素子の部分断面図。

20 【図8】図7の半導体素子の電界分布図。

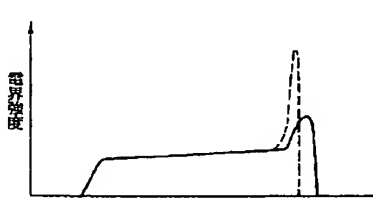
【符号の説明】

11...N⁻型ベース層
12...P型エミッタ層
13...P型ベース層
14...N型エミッタ層
15...N型バッファ層
16...N型ショート層
17~19...金属層
20...正ベベル

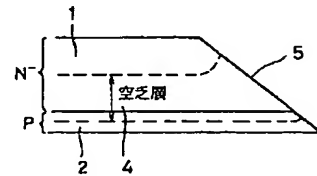
【図3】



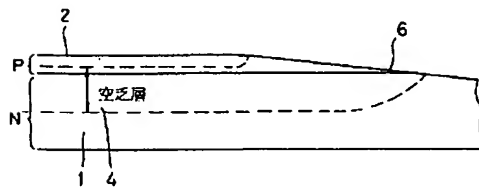
【図4】



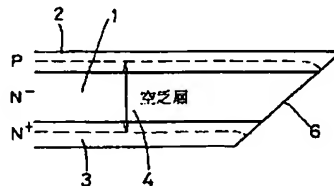
【図5】



【図6】



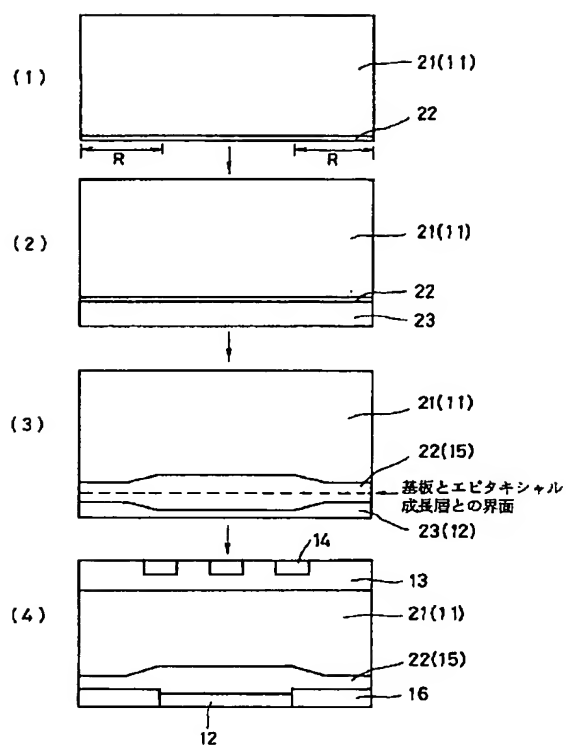
【図7】



【圖2】

[illegible]

- 11…N型ベース層
12…P型エミッタ層
13…P型ベース層
14…N型エミッタ層
15…N型バッファ層
16…N型ショート層
17～19…金属層
20…正ペル



【图 8】

